

⑫ 公開特許公報 (A)

昭60—26991

⑪ Int. Cl.⁴

G 09 G 3/30

G 09 F 9/30

識別記号

庁内整理番号

6940—5C

6615—5C

⑬ 公開 昭和60年(1985)2月9日

発明の数 1

審査請求 未請求

(全 3 頁)

⑭ EL表示装置

佐野市下羽田1246の2

⑯ 特 願 昭58—136191

⑰ 出 願 昭58(1983)7月26日

⑱ 発 明 者 関口忠

⑲ 出 願 人 関口忠

佐野市下羽田1246の2

⑳ 代 理 人 弁理士 清水定信

明 細 書

1. 発明の名称

EL表示装置

2. 特許請求の範囲

画素回路を持つた単位セルをマトリクス状に配設してなるEL表示装置に於いて、単位セルに上記画素回路またはその一部を複数組並設したことを特徴とするEL表示装置。

3. 発明の詳細な説明

本発明は複数の単位セルをX-Yマトリクス状に並べたEL表示装置に関する。

EL表示装置の駆動方式としてX-Yマトリクス方式が広く実用されているが、その単位セルを走査して図形表示するのに、線順次走査方式が採用されて、表示パネルの輝度を均一化する様になっている。

そしてこの輝度を向上する単位セルとして、MOS型FETのICが広く用いられ、これの駆動回路も僅か数チップのICやLSIを使用するのみとなり、この結果、単位セルおよびこれ表示パ

ネルの小形化、省電力化が図られる様になっている。

第1図はかかるEL表示装置の単位セルを具体的に示すものである。

同図に於いて、 $X_1, X_2, \dots, Y_1, Y_2, \dots, Z_1, Z_2, \dots$ は単位セルを駆動する電源を得るためのマトリクス電極であり、 X_1, X_2 はゲートバスとして信号を供給し、 Y_1, Y_2 はドレンバス、 Z_1, Z_2 はパワーバスとして作用する。また、1は複数の単位セルで、各セル1は $X_1, Y_1, X_2, Y_2, \dots$ の一組ずつのマトリクス電極を有する。

更に、上記各セル1は次の様な画素回路によつて構成されている。

先ず、2はMOS型FETで、このFETのゲートGはマトリクス電極 X_1 に接続されている。3はコンデンサであり、これの一端がFET2のソースSに接続され、さらに他端が接地されている。また、ドレンDはドレンバスとしての電極 Y_1 に接続されている。

4は他のMOS型FETで、これのゲートSは

FET 2のソースSに接続され、ドレンドは接地されている。また、このFET 4のソースSと電極Z₁との間には、EL素子5が接続されている。尚、他の単位セル1も同様の接続となつている。

かかるEL表示装置では、線順次走査方式によつて走査が行われ、電極X₁に例えば10Vの電圧が加えられると、FET 2がオンになり、Y₁～Y_nに加えられた電圧により、(X₁, Y₁～Y_n)に対応するコンデンサ3が充電(または放電)され、これによつて他のFET 4をオン(またはオフ)にして、上記のEL素子5を発光(または消光)させる。次に、電極X₁に印加されている電圧が電極X₂に移されると、FET 2はオフになり、コンデンサ3に蓄わえられていた電荷が保持され、この画素の発光状態はメモリされる。こうして各セル1ごとの画素が集まつて一つの文字、図形等を光表示することとなる。

しかしながら、かかる画素回路は単位セル1ごとに一組だけ設けられ、この回路中の一部例えばFET 2, 4に故障が生じると、その画素が白ノ

3

イズがMOS型FET、5AがEL素子であり、これらが前記の画素回路に対し、各電極X₁, Y₁, Z₁に互いに並列に接続されている。

かかる構成になる二組の画素回路を並設したEL表示装置では、電気的または機械的ショックを受けるなどして、いずれかの組のMOS型FET 2または2A、コンデンサ3または3A、MOS型FET 4または4A、EL素子5または5Aが破損した場合でも、破損がない組の画素回路を用いて、所期の表示機能を果たすため、画像の上記欠陥などを有効に防止できる。

また、画素回路をさらに多数組用意すれば、上記画像の欠陥の生じる確率を更に小さく抑えることができる。

この場合に於いて、電気回路的には、上記画素回路の全く同一のものを並列接続することのほかに、特に破損の確率の高い回路素子例えばMOS型FET 2のみに、もう一個または複数個のMOS型FETを並列接続することができる。この様にすれば、経費節減の効果が得られる。

5

イズや黒ノイズとなつて、画面の一部に欠陥部を生じ、ディスプレイとしての商品性を著しく悪化するという問題があつた。

本発明はかかる従来の問題点に着目して成されたものであり、単位セルごとに画素回路またはその一部を複数組並設することによつて、これらの一組が故障に至つても、画面の欠陥を完全に防止する様にしたEL表示装置を提供するものである。

以下に、本発明の実施例を図面について具体的に説明する。

第2図は本発明に於いて単位セル11を示し、同一の画素回路を二組備えてなる。同図に於いて、X₁, Y₁, Z₁は上記したものと同一のマトリクス電極であり、これに単位セル11の下記の如き画素回路が設けられている。

同図に於いて、2, 3, 4, 5はそれぞれ第1図に示したものと結線が同一のMOS型FET、コンデンサ、MOS型FETおよびEL素子である。また、ZAはもう一組の画素回路を構成するMOS型FET、3Aが同じくコンデンサ、4A

4

なお、上記画素回路は一個も複数個も経路上述いが殆んどなく、従つてコストの上昇を招くことなく、表示動作の安定性、信頼性を確保することができるものである。

以上詳細に説明した様に、本発明によれば、画素回路を持つた単位セルをマトリクス状に並設してなるEL表示装置に於いて、単位セルに上記画素回路またはその一部を複数組並設したことによつて、単位セルの故障確率を小さくすることができ、表示される画像の欠陥を有効に防止することができるものである。この結果、きれいな画像表示が約束される。

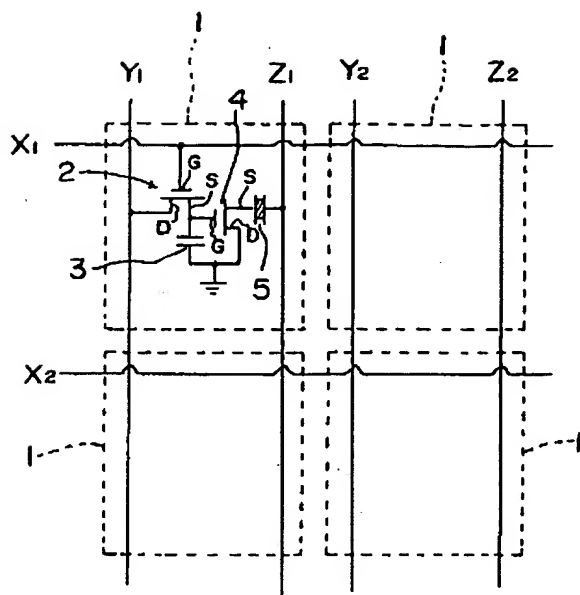
4. 図面の簡単な説明

第1図は従来のEL表示装置の画素回路図、第2図は本発明の一実施例を示す画素回路図である。

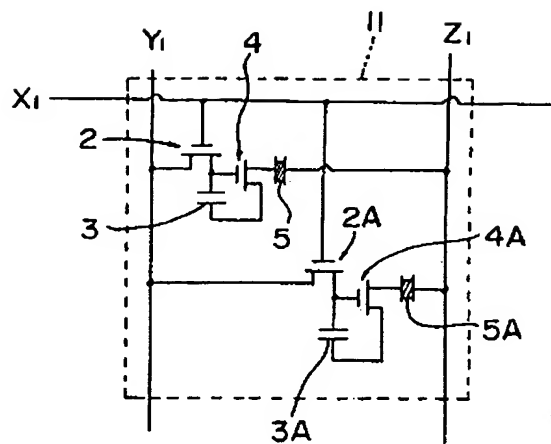
- 1, 11…単位セル
- 2, 2A…MOS型FET
- 3, 3A…コンデンサ
- 4, 4A…MOS型FET
- 5, 5A…EL素子

6

第 1 図



第 2 図



手 続 補 正 書

昭和 58 年 9 月 30 日

特 許 庁 長 官 若 杉 和 夫 殿



1. 事 件 の 表 示

昭和 58 年 特 許 願 第 136191 号

2. 発 明 の 名 称 E L 表 示 装 置

3. 補 正 を す る 者

事件との関係 特 許 出 願 人

住 所 栃 木 県 佐 野 市 下 羽 田 1 2 4 6 の 2

氏 名 (名 称) 関 口 忠

4. 代 理 人

住 所 東 京 都 中 央 区 銀 座 5 丁 目 9 番 1 3 号

中 村 ビ ル 電 話 (573)4258

氏 名 (6617)弁 理 士 清 水 定 信

5. 補 正 命 令 の 日 付 自 発 補 正

6. 補 正 に よ り 増 加 す る 発 明 の 数

7. 補 正 の 対 象

明 細 書 の 「 発 明 の 詳 細 な 説 明 」 の 欄

8. 補 正 の 内 容 別 紙 の 通 り

- (1) 明細書第 1 頁第 20 行目に、「およびこれ」とある記載を「およびこれを組み合せた」と訂正する。
- (2) 同じく、第 4 頁第 19 行目に「Z A」とある記載を「2 A」と訂正する。
- (3) 同じく、第 5 頁第 18 行目に「F E T 2」とあるを「F E T 2 . 4」と訂正する。
- (4) 同じく、第 5 頁第 20 行目の「・・・効果が得られる。」とある記載の次に、下記の事項を加入する。「また、必要に応じて、上記コンデンサ 3 および E L 素子 5 にそれぞれ各一のコンデンサおよび E L 素子を並列することによつても同様の目的を達成できる。」